



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06124175 A**(43) Date of publication of application: **06.05.94**

(51) Int. Cl.

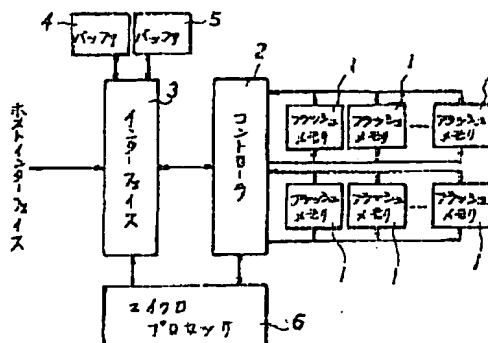
G06F 3/08(21) Application number: **05052815**(22) Date of filing: **15.03.93**(30) Priority: **28.08.92 JP 04230556**(71) Applicant: **SHARP CORP**(72) Inventor: **FUKUMOTO KATSUMI**(54) **SEMICONDUCTOR DISK DEVICE**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To simultaneously execute a data transfer from an outside to a buffer memory, the data transfer from the buffer memory to a flash memory, and the delete of the flash memory, and to make a writing speed fast by dividing the flash memory into two groups, and providing two buffer memories.

CONSTITUTION: A flash memory 1 is divided into two groups, the data of each group are individually read by a controller 2, and a deleting and writing operation can be attained. The controller 2 controls the data transfer between an interface 3 and the flash memory 1. Two buffer memories 4 and 5 are individually connected with the interface circuit 3. The flash memory is divided into two groups, and the two buffer memories 4 and 5 are provided, so that the data transfer from the outside part to the buffer memories 4 and 5, the data transfer from the buffer memories 4 and 5 to the flash memory 1, and the delete of the flash memory 1 can be simultaneously executed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-124175

(43)公開日 平成6年(1994)5月6日

(51) Int Cl.:

G O 6 F 3/08

識別記号

庁内整理番号

FI

技術表示箇所

H 7165-5B

審査請求 未請求 請求項の数 6 (全 8 頁)

(21)出題番号 特願平5-52815

(22)出願日 平成5年(1993)3月15日

(31)優先權主張番号 特願平4-230556

(32)優先日 平4(1992)8月28日

(33)優先権主張国 日本(JP)

(71)出題人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72)発明者 福本 克巳

大阪府大阪市阿倍野区長池町22番22号 シ

+一フ株式会社内

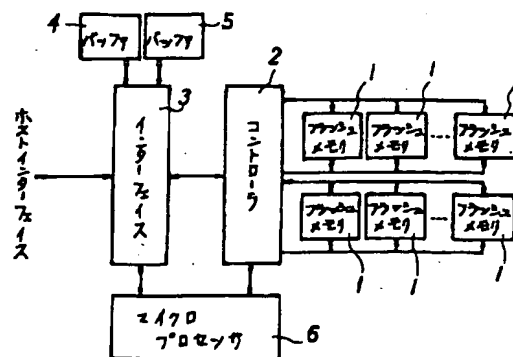
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体ディスク装置

(57) 【要約】

【構成】 フラッシュメモリ1を、書き込みと消去がそれぞれ独立して実行できるように2群に分割すると共に、2つのバッファメモリ4、5を設けた。

【効果】 外部からバッファメモリへのデータ転送と、バッファメモリからフラッシュメモリへのデータ転送と、フラッシュメモリの消去とを同時に実行することができるので、ハードディスク装置と同等又はそれ以上の書き込み速度を得ることができるようになる。



【特許請求の範囲】

【請求項1】 書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、
該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを有するバッファメモリと、
該バッファメモリの上記ブロックのデータを読みだし、
上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに上記データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えてなることを特徴とする半導体ディスク装置。

【請求項2】 書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、
該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを2つ以上有するバッファメモリと、
インターフェイスを介して入力されるデータを上記バッファメモリの1つのブロックに書き込む動作と、上記バッファメモリの他のブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに該データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えてなることを特徴とする半導体ディスク装置。

【請求項3】 上記バッファメモリがフラッシュメモリからなることを特徴とする、請求項1または2に記載の半導体ディスク装置。

【請求項4】 上記バッファメモリの各ブロックが、上記最小消去単位未満の容量を有する複数のメモリICの集合体であることを特徴とする、請求項1、2または3に記載の半導体ディスク装置。

【請求項5】 上記制御部が、上記2群以上のフラッシュメモリの各ブロックが消去状態であるかデータ書き込み状態であるかを記憶する記憶手段と、該記憶手段の内容に基づき、消去状態にあるブロックに対しては消去動作を禁止させる手段とを備えてなることを特徴とする、請求項1、2、3または4に記載の半導体ディスク装置。

* 置。

【請求項6】 上記フラッシュメモリの全部または一部がメモリカードの形態であることを特徴とする、請求項1、2、3、4または5に記載の半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ディスク装置に関し、特に不揮発性の半導体記憶装置を用いてハードディスク装置と同等の機能を実現した半導体ディスク装置に関する。

【0002】

【従来の技術】 近年、ハードディスク装置に代わるコンピュータの外部記憶装置として半導体ディスク装置が種々実用化されている。この半導体ディスク装置は、記憶媒体として不揮発性の半導体記憶装置を用いたものであり、磁気ディスクや磁気ヘッドの駆動機構を有するハードディスク装置に比べて、機械構成がないため極めて高い耐衝撃性と耐振動性を備えている。従って、特に振動や衝撃が問題となる自動車等で利用されるアプリケーションに有用であり、コストが下がれば携帯用のコンピュータ装置の外部記憶装置としても有望視されている。また、この半導体ディスク装置に用いる不揮発性の半導体記憶装置としては、電池バックアップが必要となるDRAM (dynamic random access memory) やSRAM (static RAM) 等よりも、データの消去や書き込み、読みだし時以外は電源を必要としないNOR型のフラッシュメモリやNAND型のフラッシュメモリが多く用いられている。

【0003】

【発明が解決しようとする課題】 しかしながら、上述の従来技術においては、フラッシュメモリは、オーバーライトができないため、書き込みを行う場合には、まずブロック単位またはチップ単位で消去動作を行う必要があり、このために表1に示すように、ハードディスク装置に比べ書き込み速度が遅くなるという問題があった。

【0004】

【表1】

速 度	フラッシュメモリ		ハードディスク
	NAND型	NOR型	
読み出し (917ns/ブロック)	100 ns	100 ns	0.5~1 μ s/バイト
既消去領域 への書き込み	0.3 μ s/バイト	10 μ s/バイト	0.5~1 μ s/バイト
消去を含む 書き込み	3 μ s/バイト	約81 μ s/バイト	—

【0005】 即ち、ハードディスク装置がバイト当たり0.5 μ s~1 μ sで書き込みを行うのに対して、フラッシュメモリの消去動作を含む書き込み速度は、NAND型でも3 μ s程度となり、NOR型では約81 μ s

に達する。また、このフラッシュメモリは、フローティングゲートの酸化膜の劣化により、書き換え回数が1万回~10万回程度に制限されるという欠点もある。

【0006】 本発明は、上記課題を解決するためになさ

れたものであり、その目的とするところは、バッファメモリを活用してフラッシュメモリの消去動作と書き込み動作を同時に実行することにより、ハードディスク装置に劣らない書き込み速度を有する半導体ディスク装置を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体ディスク装置は、書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを有するバッファメモリと、該バッファメモリの上記ブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに上記データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えており、そのことにより上記目的が達成される。

【0008】また、本発明の半導体ディスク装置は、書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを2つ以上有するバッファメモリと、インターフェイスを介して入力されるデータを上記バッファメモリの1つのブロックに書き込む動作と、上記バッファメモリの他のブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに該データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えており、そのことにより上記目的が達成される。

【0009】さらに、本発明の半導体ディスク装置は、上記半導体ディスク装置に於いて、上記制御部が、上記2群以上のフラッシュメモリの各ブロックが消去状態であるかデータ書き込み状態であるかを記憶する記憶手段と、該記憶手段の内容に基づき、消去状態にあるブロックに対しては消去動作を禁止させる手段とを備えており、そのことにより上記目的を達成される。

【0010】

【作用】バッファメモリが第1と第2の2つのブロックを有すると共に、フラッシュメモリも第1と第2の2群に分割された半導体ディスク装置に複数ブロック分のデータを書き込む場合について説明する。

【0011】まず、制御部がインターフェイスを介して最初の1ブロック分のデータを入力しバッファメモリの第1ブロックに書き込むと同時に、このデータを書き込む予定の例えば第1の群のフラッシュメモリの該当ブロックを消去する。次に、制御部がインターフェイスを介して次の1ブロック分のデータを入力してバッファメモリの第2ブロックに書き込むと同時に、このデータを書き込む予定の第2群のフラッシュメモリの該当ブロック

を消去し、かつバッファメモリの第1ブロックからデータを読みだし先に消去した第1群のフラッシュメモリの当該ブロックに書き込む動作も同時に行う。さらに、制御部がインターフェイスを介してその次の1ブロック分のデータを入力しバッファメモリの第1ブロックに書き込むと同時に、このデータを書き込む予定の第1群のフラッシュメモリの該当ブロックを消去し、かつバッファメモリの第2ブロックからデータを読みだし先に消去した第2群のフラッシュメモリの当該ブロックに書き込む動作も同時に行う。そして、以降順次1ブロック分ずつのデータを入力しながら同様の動作を繰り返し、最後にバッファメモリのいずれかのブロックからデータを読みだし直前に消去したいいずれかの群のフラッシュメモリの当該ブロックに書き込みを行うことにより全てのデータの書き込みを完了する。

【0012】この結果、本発明の半導体ディスク装置によれば、書き込み速度が外部からバッファメモリへの1ブロック分のデータ転送時間と、バッファメモリからフラッシュメモリへの1ブロック分のデータ転送時間と、フラッシュメモリの1ブロック分の消去時間とのうちのいずれか最も長い時間のみによって規定されることにより、連続的に高速で書き込みを行う事ができるようになる。

【0013】なお、上記書き込み動作では、同じ群のフラッシュメモリが連続して選択されず、常に異なるフラッシュメモリが順に選択されることが前提となっていた。これは、例えば主記憶装置におけるインターリーブ方式のように、連続するセクタ番号を各群のフラッシュメモリに交互に割り当てておき、常にシーケンシャルなアクセスを行うようにすれば実現できる。しかしながら、ランダムアクセスを行う場合には、同じ群のフラッシュメモリが連続して選択される場合があり、この場合にはフラッシュメモリのブロックの消去と書き込みを同時に実現することができないので、書き込み速度が少し低下する。ただし、フラッシュメモリを3群以上に分割すれば、このように同じ群が連続して選択される可能性は比較的少なくなる。また、フラッシュメモリの空きブロックを半導体ディスク装置自身で管理し、実際に書き込むフラッシュメモリのブロックを自動的に決定することができるようにしたシステムを備えている場合には、順次前回とは異なる群のフラッシュメモリから書き込み可能なブロックを選択することにより、同じ群のフラッシュメモリが連続して選択されるというおそれをなくすることもできる。

【0014】また、バッファメモリからフラッシュメモリへのデータの転送をすぐに実行しないようにすることもできる。即ち、例えばバッファメモリを多数のブロックで構成し、このブロックの空きがなくなるまでは、外部から入力したデータをバッファメモリにのみ書き込むようにし、最後のブロックへの書き込みが行われるとき

に始めて既に書き込まれたいずれかのブロックのデータを同時にフラッシュメモリに転送して新たな空きブロックを作るようにする。このようにすれば、例えば同じセクタのデータが繰り返し書き換えられたような場合に、バッファメモリのブロックに余裕がある限り、このバッファメモリの内容のみが更新されることになるので、実際のフラッシュメモリの書き換え回数を減少させることができる。半導体ディスク装置の最小書き込み単位がフラッシュメモリの最小消去単位より小さい場合には、通常は一旦フラッシュメモリの書き込みブロックのデータを全て読み出した後に消去を行い、この読み出したデータの一部を書き込みデータに置き換えてから再びフラッシュメモリの元のブロックに書き戻す必要がある。そして、上記バッファメモリは、この場合の読み出しデータの一時記憶用に用いる事もできる。

【0015】

【実施例】以下に、本発明の実施例について説明する。

【0016】図1から図6は本発明の一実施例を示すものであって、図1は半導体ディスク装置の構成を示すブロック図、図2から図6は半導体ディスク装置の書き込み動作を示す説明図である。

【0017】本実施例は、512Kビット×8ビットのNAND型のフラッシュメモリ1を20個使用して記憶容量を10Mバイトとした半導体ディスク装置について説明する。

【0018】ここで使用するフラッシュメモリ1は、最*

*小消去単位である消去ブロックが32Kバイトであり、消去時間が10ms、書き込み速度が約0.3μm/バイトである。これら20個のフラッシュメモリ1は、10個ずつの2群に分割され、コントローラ2によって各群ごとに独立に読み出し、消去、書き込み（プログラム）動作を行うことができるようになっている。

【0019】上記コントローラ2は、インターフェイス3から送られて来たデータをフラッシュメモリ1に書き込むと共に、このフラッシュメモリ1から読み出したデータをインターフェイス3に送り出すフラッシュメモリ用のコントローラ回路である。インターフェイス3は、ハードディスク装置用の規格によりホスト側のインターフェイスと接続するための周辺機器インターフェイス回路である。このインターフェイス3には、2つのバッファメモリ4、5がそれぞれ独立に接続されている。バッファメモリ4、5は、それぞれ32Kバイトの容量を有するDRAM、SRAM又はNVRAM等の高速動作可能な揮発性または不揮発性の半導体記憶装置が用いられる。或は、フラッシュメモリを用いる構成としてもよい。これらのバッファメモリ4、5の容量は、第1の式によって定められる値となる場合にフラッシュメモリの消去時間と書き込み時間とが一致し、待ち時間のない効率のよい書き込み動作を行うことができるようになる。

【0020】

【数1】

$$\text{バッファメモリの容量} = \frac{\text{消去時間}}{\text{既消去領域の1バイト当たりの書き込み時間}}$$

【0021】従って、フラッシュメモリ1は、消去時間が10msであり、既消去領域へのバイト当たりの書き込み時間が約0.3μmであることから、バッファメモリ4、5の容量をそれぞれ上記のように32Kバイトに設定している。

【0022】この半導体ディスク装置は、マイクロプロセッサ6を備え、上記コントローラ2及びインターフェイス3を介してフラッシュメモリ1の読み出し、消去、書き込み動作を制御するようになっている。また、マイクロプロセッサ6は、インターフェイス3に入力されたハードディスク装置用のコマンドをフラッシュメモリ用のコマンドに変換してコントローラ2に送る役割も果たす。

【0023】上記構成の半導体ディスク装置の書き込み動作について説明する。ここでは、図2に示すように、メインメモリ7に格納された32Kバイトずつ4ブロックのデータA～Dをフラッシュメモリ1に書き込む場合を示す。

【0024】まず、上記図2に示すように、メインメモリ7からデータAを入力し、第1のバッファメモリ4に

書き込む。また、これと同時に、フラッシュメモリ1におけるデータAを書き込む予定のブロック1aを消去する。この場合、バッファメモリ4への書き込み速度は0.3μs/バイトであり、32Kバイト分で10msを要し、フラッシュメモリ1の消去時間もこれと同じ10msを要する。

【0025】次に、図3に示すように、メインメモリ7からデータBを入力し第2のバッファメモリ5に書き込む。また、これと同時に、フラッシュメモリ1におけるデータBを書き込む予定のブロック1bを消去する。そして、これと同時に、第1のバッファメモリ4のデータAを図2で消去したフラッシュメモリ1のブロック1aに書き込む。ここで、フラッシュメモリ1のブロック1aとブロック1bは異なる群に属するようにしているため、コントローラ2によって消去とデータAの転送を同時に実行することが可能となる。この場合のバッファメモリ5への書き込み時間とフラッシュメモリ1のブロック1bの消去時間とブロック1aへの書き込み時間も、10msを要する。

【0026】さらに、図4に示すように、メインメモリ

7からデータCを入力し、第1のバッファメモリ4に書き込む。この際、先のデータAは、既にフラッシュメモリ1に書き込んであるのでオーバーライトされる。また、これと同時に、フラッシュメモリ1におけるデータCを書き込む予定のブロック1cを消去する。そして、これと同時に、第2のバッファメモリ5のデータBを図3で消去したフラッシュメモリ1のブロック1bに書き込む。ここで、フラッシュメモリ1のブロック1bとブロック1cも異なる群に属するようにしているため、消去とデータBの転送を同時に実行することが可能である。また、この場合のバッファメモリ4への書き込み時間とブロック1cの消去時間とブロック1bへの書き込み時間も、10msを要する。

【0027】そして、データCとデータDについても同様に、図5に示すように、それぞれフラッシュメモリ1のブロック1cと第2のバッファメモリ5に書き込むと共にブロック1dを消去し、最後に、図6に示すように、第2のバッファメモリ5のデータDを図5で消去したフラッシュメモリ1のブロック1dに書き込む。また、これらの場合も、それぞれ10msを要する。

【0028】この結果、メインメモリ7上の32Kバイトずつ4ブロックのデータA～Dを半導体ディスク装置に書き込むために50ms(=10ms×5)を要する。ただし、最後の図6に示す第2のバッファメモリ5からフラッシュメモリ1への転送は、半導体ディスク装置内部だけの動作であり、かつ、これと同時に新たなデータを第1のバッファメモリ4に転送して引き続き書き込みを続行することも可能であるため、外部から見た4ブロックのデータA～Dの書き込み時間は40ms(=10ms×4)となり、書き込み速度は0.3μs/バイトとなる。

【0029】以上説明したように、本実施例の半導体ディスク装置は、バッファメモリ4、5へのデータ転送とフラッシュメモリ1の消去とこのフラッシュメモリ1へのデータ転送を同時に同じ時間で無駄なく実行することができるので、ハードディスク装置よりも高速の書き込み速度を得ることができるようになる。

【0030】上記実施例に於いては、インターフェイス3を介して入力されるデータをバッファメモリ4、5の一方に書き込む動作と、該バッファメモリ4、5の他方のデータを読み出し、2群のフラッシュメモリの一方の群のブロックに該データを書き込む動作と、他方の群のブロックのデータを消去する動作とを同時に実行させる構成としているが、バッファメモリ4、5の一方のデータを読み出し、2群のフラッシュメモリの一方の群のブロックに該データを書き込む動作と、他方の群のブロックのデータを消去する動作とのみを同時に実行させる構成としてもよい。この場合、バッファメモリは1個でもよい。

【0031】また、コントローラ2によって制御される

フラッシュメモリの一部を上記バッファメモリとする構成も可能である。

【0032】この場合の構成ブロック図を図7に示す。図に於いて、8、9、10が、コントローラ2によって制御されるフラッシュメモリの一部により構成されるバッファメモリである。また、図8から図14は書き込み動作の説明図である。

【0033】また、バッファメモリ4、5は最小消去単位以上の容量の単体のメモリICから構成することもできるが、最小消去単位未満の小容量のメモリICを複数個まとめてバッファメモリ4、5を構成することも可能である。この場合の利点は、低価格でバッファメモリが構成できることである。

【0034】さらに、既に消去済みのブロックにデータを書き込むときは、消去動作は不要である。従って、フラッシュメモリの各ブロックが消去状態にあるか、データ書き込み状態にあるかを記憶する記憶手段を、コントローラ2内或はマイクロプロセッサ6内等に設け、該記憶手段の内容に従って、既に消去済みのブロックに対しては消去動作を実行させない構成とすることもできる。

【0035】また、フラッシュメモリ(バッファメモリがフラッシュメモリから成る場合は、該バッファメモリを含む)の全部または一部を、一枚又は複数枚のメモリーカードの形態とし、コントローラ2との間にコネクタを設けて、上記フラッシュメモリを構成するメモリーカードを着脱自在とする構成も可能である。

【0036】また、他の例としては、マイクロプロセッサ6が、バッファメモリ及びフラッシュメモリの群を管理するようにシステムを構成すると、群を構成するフラッシュメモリ1の組み合わせは固定したものではなく、任意に変更することも可能である。すなわち、図2に於いて、メインメモリ7からデータAを第2のバッファメモリ5に書き込むことも可能である。また、図3に於いて、バッファメモリ4のデータを、フラッシュメモリ1のブロック1a、1b、1c、1d以外の任意のブロックに書き込むことも可能である。

【0037】また、図1のバッファメモリ4、5がマイクロプロセッサ6に直接接続される構成(図15)、または、マイクロプロセッサ6に含まれる構成、及び、バッファメモリ4、5からコントローラ2に直接接続される構成(図16)、または、コントローラ2に含まれる構成等も可能である。

【0038】さらに、他の例としては、半導体ディスク装置を構成するフラッシュメモリ1、コントローラ2、インターフェイス3、バッファメモリ4、5及びマイクロプロセッサ6(または制御回路)の全てまたは一部を集積化して1チップにすることも可能である。このときの利点としては、装置全体が小型になり高密度化されることである。

【0039】

【発明の効果】以上の説明から明らかなように、本発明の半導体ディスク装置によれば、バッファメモリからフラッシュメモリへのデータ転送と、フラッシュメモリの消去とを同時に実行することができるので、ハードディスク装置と同等又はそれ以上の書き込み速度を得ることができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであって、半導体ディスク装置の構成を示すブロック図である。

【図2】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第1段階を示す説明図である。

【図3】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第2段階を示す説明図である。

【図4】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第3段階を示す説明図である。

【図5】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第4段階を示す説明図である。

【図6】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の最後の段階を示す説明図である。

【図7】本発明の他の実施例を示すものであって、半導体ディスク装置の構成を示すブロック図である。

【図8】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第1段階を示す説明図である。

【図9】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第2段階を示す説明図

である。

【図10】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第3段階を示す説明図である。

【図11】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第4段階を示す説明図である。

【図12】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第5段階を示す説明図である。

【図13】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第6段階を示す説明図である。

【図14】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の最終の段階を示す説明図である。

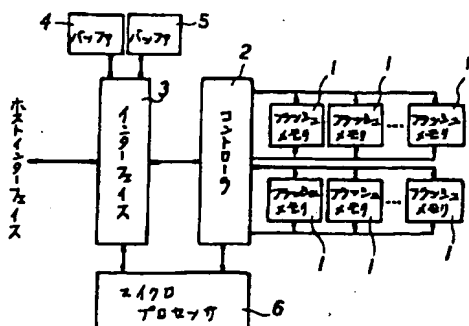
【図15】本発明の更に他の実施例を示すものであって、バッファメモリがマイクロプロセッサに直接接続されている半導体ディスク装置の構成を示すブロック図である。

【図16】本発明の更に他の実施例を示すものであって、バッファメモリがコントローラに直接接続されている半導体ディスク装置の構成を示すブロック図である。

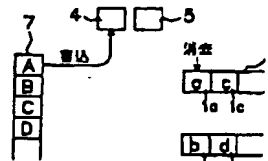
【符号の説明】

- 1 フラッシュメモリ
- 2 コントローラ
- 3 インターフェイス
- 4, 5 バッファメモリ
- 6 マイクロプロセッサ
- 7 メインメモリ
- 8, 9, 10 バッファメモリ（フラッシュメモリ）

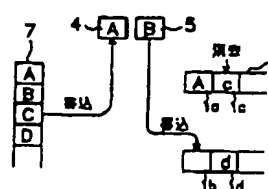
【図1】



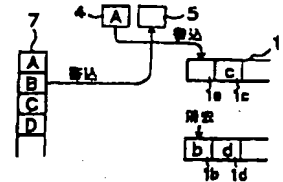
【図2】



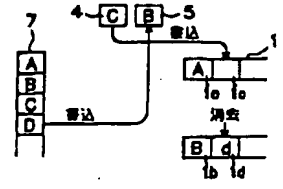
【図4】



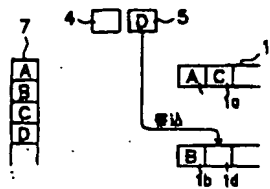
【図3】



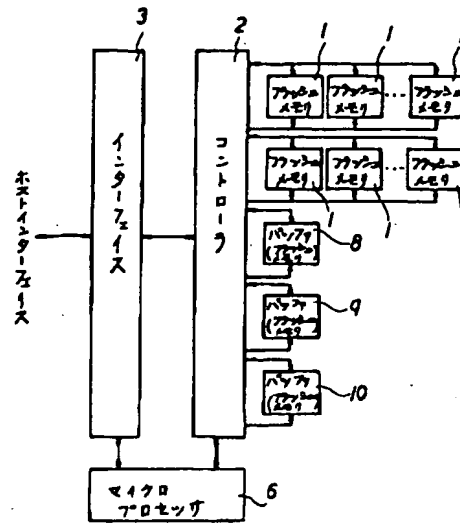
【図5】



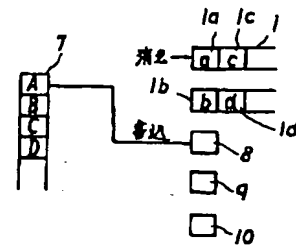
【図6】



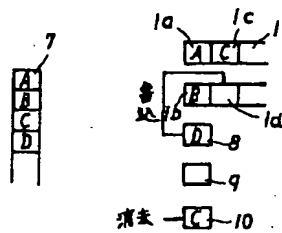
【図7】



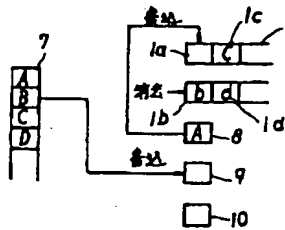
【図8】



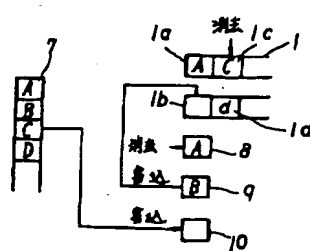
【図12】



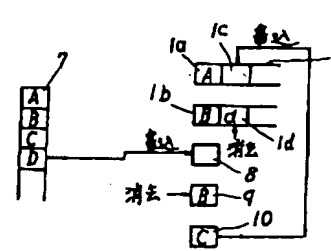
【図9】



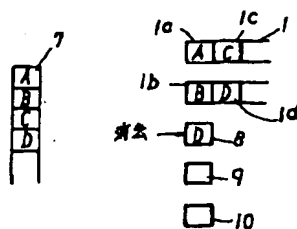
【図10】



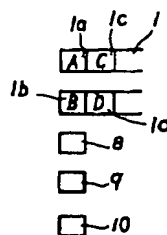
【図11】



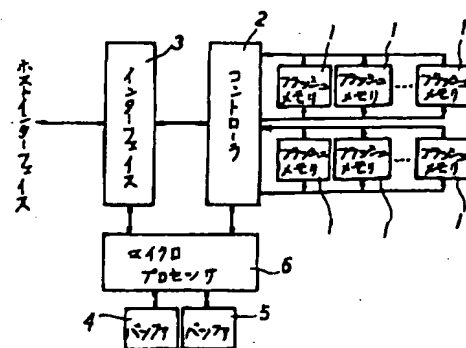
【図13】



【図14】



【図15】



【図16】

